

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of:

SAKO

Atty. Docket No. 108397-00115

Serial No.: NEW

Examiner: Unknown

Filed: Concurrently Herewith

Art Unit: Unknown

For: SEMICONDUCTOR INTEGRATED CIRCUIT

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: March 15, 2004

Sir:

The benefit of the filing dates of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

Japanese Patent Application No. 2003-375276 filed on November 5, 2003

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein  
Registration No. 25,895

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM/jch



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 1 月    5 日  
Date of Application:

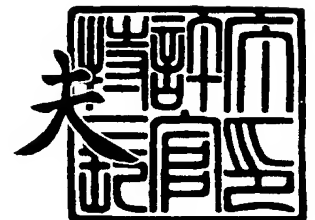
出 願 番 号                      特 願 2 0 0 3 - 3 7 5 2 7 6  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 3 7 5 2 7 6 ]

出      願      人                      富 士 通 株 式 会 社  
Applicant(s):

2 0 0 4 年    1 月 1 9 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 0 8 3 3



【書類名】 特許願  
【整理番号】 0340887  
【提出日】 平成15年11月 5日  
【あて先】 特許庁長官 殿  
【国際特許分類】 G11C 11/406  
【発明者】  
    【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
                                内  
    【氏名】 酒向 淳匡  
【特許出願人】  
    【識別番号】 000005223  
    【氏名又は名称】 富士通株式会社  
【代理人】  
    【識別番号】 100072718  
    【弁理士】  
    【氏名又は名称】 古谷 史旺  
    【電話番号】 3343-2901  
【手数料の表示】  
    【予納台帳番号】 013354  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9704947

**【書類名】 特許請求の範囲****【請求項 1】**

チップ温度が低温から高温への移行により第 1 境界温度より高くなったことを検出したときに温度検出信号を高温状態を示すレベルに設定し、チップ温度が高温から低温への移行により前記第 1 境界温度と異なる第 2 境界温度より低くなったことを検出したときに前記温度検出信号を低温状態を示すレベルに設定する温度検出回路と、

前記温度検出信号のレベルに応じて自身の動作状態を切り替える制御回路とを備えていることを特徴とする半導体集積回路。

**【請求項 2】**

請求項 1 記載の半導体集積回路において、

前記温度検出回路は、チップ温度が前記第 1 境界温度と前記第 2 境界温度の間にあるときに前記温度検出信号のレベルを維持することを特徴とする半導体集積回路。

**【請求項 3】**

請求項 2 記載の半導体集積回路において、

前記温度検出回路は、

電源線と接地線との間に直列に接続された抵抗およびバイポーラトランジスタを有し、前記抵抗および前記バイポーラトランジスタの接続ノードからチップ温度に対応する検出電圧を生成する温度検出部と、

前記第 1 境界温度に対応する第 1 参照電圧と前記検出電圧を比較する第 1 差動増幅器と、

前記第 2 境界温度に対応する第 2 参照電圧と前記検出電圧を比較する第 2 差動増幅器と、

前記第 1 および第 2 差動増幅器の比較結果に応じて前記温度検出信号のレベルを生成するフリップフロップとを備えていることを特徴とする半導体集積回路。

**【請求項 4】**

請求項 2 記載の半導体集積回路において、

前記温度検出回路は、

電源線と接地線との間に直列に接続された抵抗およびバイポーラトランジスタを有し、前記抵抗および前記バイポーラトランジスタの接続ノードからチップ温度に対応する検出電圧を生成する温度検出部と、

基準参照電圧と前記検出電圧を比較し、比較結果を基準検出電圧として出力する基準差動増幅器と、

前記第 1 境界温度に対応する第 1 参照電圧と前記基準検出電圧を比較する第 1 差動増幅器と、

前記第 2 境界温度に対応する第 2 参照電圧と前記基準検出電圧を比較する第 2 差動増幅器と、

前記第 1 および第 2 差動増幅器の比較結果に応じて前記温度検出信号のレベルを生成するフリップフロップとを備えていることを特徴とする半導体集積回路。

**【請求項 5】**

請求項 2 記載の半導体集積回路において、

複数種の電圧を生成する電圧生成回路と、

複数種の電圧のうちいずれか 2 つを選択し、前記第 1 および第 2 参照電圧として出力するスイッチ回路と、

前記スイッチ回路が選択する電圧を予め設定する ROM 回路とを備えていることを特徴とする半導体集積回路。

**【請求項 6】**

請求項 1 記載の半導体集積回路において、

ダイナミックメモリセルを有するメモリアレイを備え、

前記制御回路は、前記メモリセルをリフレッシュするためのリフレッシュ要求信号の生成周期を、前記温度検出信号のレベルに応じて切り替えるリフレッシュタイマであること

を特徴とする半導体集積回路。

【請求項 7】

請求項 5 記載の半導体集積回路において、

外部端子を介して供給されるアクセス要求である読み出しコマンド信号および書き込みコマンド信号を解読するコマンドデコーダと、

前記読み出しコマンド信号および前記書き込みコマンド信号に応答するアクセス動作と、前記リフレッシュ要求信号に応答するリフレッシュ動作とを実行するために、前記メモリアレイを動作するためのタイミング信号を出力する動作制御回路とを備え、

前記動作制御回路は、前記読み出しコマンド信号および前記書き込みコマンド信号と前記リフレッシュ要求信号とが競合するときに、前記アクセス動作と前記リフレッシュ動作とのどちらを優先させるかを決める裁定回路を備えていることを特徴とする半導体集積回路。

【請求項 8】

請求項 5 記載の半導体集積回路において、

通常動作モード中に、外部端子を介して供給される前記アクセス要求である読み出しコマンド信号および書き込みコマンド信号と、前記通常動作モードをセルフリフレッシュモードに移行させるセルフリフレッシュコマンド信号とを解読するコマンドデコーダと、

前記読み出しコマンド信号および前記書き込みコマンド信号に応答するアクセス動作と、前記リフレッシュ要求信号に応答するリフレッシュ動作とを実行するために、前記メモリアレイを動作するためのタイミング信号を出力する動作制御回路とを備え、

前記リフレッシュタイマは、前記コマンドデコーダがセルフリフレッシュコマンド信号を解読したときに動作を開始することを特徴とする半導体集積回路。

## 【書類名】明細書

## 【発明の名称】半導体集積回路

## 【技術分野】

## 【0001】

本発明は、温度検出回路を有する半導体集積回路に関する。

## 【背景技術】

## 【0002】

従来、携帯電話等の携帯機器のワークメモリとしてSRAMが使用されていた。しかし、携帯機器の必要なメモリ容量は、年々増加している。このため、最近では、ワークメモリとしてダイナミックメモリセルを有するDRAMまたは擬似SRAMが採用されている。DRAMのメモリセルは、SRAMのメモリセルに比べて小さいため、同じコストでワークメモリの記憶容量を大きくできる。

## 【0003】

一方、携帯機器に搭載されるメモリは、バッテリーの使用時間を長くするために、消費電力が低いことが要求される。特に、携帯電話では、待ち受け可能時間を長くするために、スタンバイ電流が低いことが重要である。DRAMおよび擬似SRAMは、携帯機器の非動作中にも定期的にメモリセルのリフレッシュ動作が必要であり、リフレッシュ動作は、スタンバイ電流を増加させる要因になっている。このため、DRAMおよび擬似SRAMでは、スタンバイ電流を削減するための様々な工夫がなされている。

## 【0004】

例えば、チップ温度が低いほど、ダイナミックメモリセルのデータ保持時間が長くなる特性を利用して、チップ温度が、ある境界温度より低いときにリフレッシュ間隔を長く設定し、リフレッシュ動作の頻度を減らすことでスタンバイ電流を削減する技術が提案されている（例えば、特許文献1～特許文献3参照）。

## 【0005】

図13は、ダイナミックメモリセルのデータ保持時間の温度依存性を示している。上述したように、ダイナミックメモリセルのデータ保持時間は、チップ温度が低くなるほど長くなる。温度検出回路により境界温度 $T_{th}$ を検出してリフレッシュ間隔を切り替えることで、スタンバイ電流を削減できる。

【特許文献1】特開平5-266658号公報

【特許文献2】特開平7-73668号公報

【特許文献3】特開平3-207084号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0006】

図14は、従来の温度検出回路を有する半導体集積回路の不具合の一例を示している。境界温度 $T_{th}$ 付近で、半導体集積回路が動作する場合、内部回路の動作による発熱および内部回路の動作停止による放熱が繰り返されると、温度検出回路の出力は、短い周期で変化する。この結果、温度検出回路の出力に接続された制御回路は、温度検出回路の出力に応答して動作状態（低消費動作および通常動作）を短い周期で切り替える。この切り替え動作により、制御回路の消費電流は増加するため、スタンバイ電流の削減効果は低くなる。

## 【0007】

図15は、従来の温度検出回路を有する半導体集積回路の不具合の別の例を示している。境界温度 $T_{th}$ 付近で、半導体集積回路の内部回路が、動作、非動作を繰り返すとき、温度検出回路は、電源ノイズを温度の変化として検出し誤動作する場合がある。すなわち、温度検出回路の出力は、短い周期で変化してしまう。このとき、図14と同様に、温度検出回路の出力に接続された制御回路の動作状態は、短い周期で切り替わるため、制御回路の消費電流が増加してしまう。さらに、図15に示した制御回路の動作状態は、チップ温度とは無関係に切り替わるため、半導体集積回路は、誤動作してしまう。

**【0008】**

本発明の目的は、温度検出回路を有する半導体集積回路の消費電流を減らすことにある。

**【0009】**

本発明の別の目的は、ノイズによる温度検出回路の誤動作を防止し、半導体集積回路の誤動作を防止することにある。

**【課題を解決するための手段】****【0010】**

請求項1の半導体集積回路では、温度検出回路は、チップ温度が低温から高温への移行により第1境界温度より高くなったことを検出したときに温度検出信号を高温状態を示すレベルに設定する。また、温度検出回路は、チップ温度が高温から低温への移行により第1境界温度と異なる第2境界温度より低くなったことを検出したときに温度検出信号を低温状態を示すレベルに設定する。制御回路は、温度検出信号のレベルに応じて自身の動作状態を切り替える。

**【0011】**

請求項2の半導体集積回路では、温度検出回路は、チップ温度が第1境界温度と第2境界温度の間にあるときに温度検出信号のレベルを維持する。

**【0012】**

請求項3の半導体集積回路では、温度検出回路は、温度検出部、第1差動増幅器、第2差動増幅器およびフリップフロップを有する。温度検出部は、電源線と接地線との間に直列に接続された抵抗およびバイポーラトランジスタを有し、抵抗およびバイポーラトランジスタの接続ノードからチップ温度に対応する検出電圧を生成する。第1差動増幅器は、第1境界温度に対応する第1参照電圧と検出電圧を比較する。第2差動増幅器は、第2境界温度に対応する第2参照電圧と検出電圧を比較する。フリップフロップは、第1および第2差動増幅器の比較結果に応じて温度検出信号のレベルを生成する。

**【0013】**

請求項4の半導体集積回路では、温度検出回路は、温度検出部、基準差動増幅器、第1差動増幅器、第2差動増幅器およびフリップフロップを有する。温度検出部は、電源線と接地線との間に直列に接続された抵抗およびバイポーラトランジスタを有し、抵抗およびバイポーラトランジスタの接続ノードからチップ温度に対応する検出電圧を生成する。基準差動増幅器は、基準参照電圧と検出電圧を比較し、比較結果を基準検出電圧として出力する。第1差動増幅器は、第1境界温度に対応する第1参照電圧と基準検出電圧を比較する。第2差動増幅器は、第2境界温度に対応する第2参照電圧と基準検出電圧を比較する。フリップフロップは、第1および第2差動増幅器の比較結果に応じて温度検出信号のレベルを生成する。

**【0014】**

請求項5の半導体集積回路では、電圧生成回路は、複数種の電圧を生成する。スイッチ回路は、複数種の電圧のうちいずれか2つを選択し、第1および第2参照電圧として出力する。ROM回路は、スイッチ回路が選択する電圧を予め設定する。

**【0015】**

請求項6の半導体集積回路では、メモリアレイは、ダイナミックメモリセルを有する。制御回路は、メモリセルをリフレッシュするためのリフレッシュ要求信号の生成周期を、温度検出信号のレベルに応じて切り替えるリフレッシュタイムである。

**【0016】**

請求項7の半導体集積回路では、コマンドデコーダは、外部端子を介して供給されるアクセス要求である読み出しコマンド信号および書き込みコマンド信号を解読する。動作制御回路は、読み出しコマンド信号および書き込みコマンド信号に応答するアクセス動作と、リフレッシュ要求信号に応答するリフレッシュ動作とを実行するために、メモリアレイを動作させるためのタイミング信号を出力する。動作制御回路は、読み出しコマンド信号および書き込みコマンド信号とリフレッシュ要求信号とが競合するときに、アクセス動作

とリフレッシュ動作とのどちらを優先させるかを決める裁定回路を有する。

【0017】

請求項8の半導体集積回路では、コマンドデコーダは、通常動作モード中に、外部端子を介して供給されるアクセス要求である読み出しコマンド信号および書き込みコマンド信号と、通常動作モードをセルフリフレッシュモードに移行させるセルフリフレッシュコマンド信号とを解読する。動作制御回路は、読み出しコマンド信号および書き込みコマンド信号に応答するアクセス動作と、リフレッシュ要求信号に応答するリフレッシュ動作とを実行するために、メモリアレイを動作させるためのタイミング信号を出力する。リフレッシュタイマは、コマンドデコーダがセルフリフレッシュコマンド信号を解読したときに動作を開始する。

【発明の効果】

【0018】

請求項1の半導体集積回路では、制御回路の動作状態をある状態から別の状態に切り替える境界温度と、制御回路の動作状態を別の状態からある状態に切り替える境界温度とを相違させることで、チップ温度が境界温度付近で変動した場合にも制御回路の動作状態が頻繁に切り替わることを防止できる。この結果、制御回路の切り替えに伴う消費電流を削減できる。また、第1境界温度と第2境界温度とにより緩衝帯が設定されるため、内部回路の動作により電源ノイズ等が発生する場合にも、温度検出回路は、電源ノイズを温度の変化として検出しない。この結果、温度検出回路および半導体集積回路の誤動作を防止できる。

【0019】

請求項2の半導体集積回路では、チップ温度が第1境界温度と第2境界温度の間にあるときに温度検出信号のレベルを維持することで、制御回路の動作状態が頻繁に切り替わることを防止でき、制御回路の切り替えに伴う消費電流を削減できる。

【0020】

請求項3の半導体集積回路では、バイポーラトランジスタの閾値電圧が温度に依存して変化することを利用して、チップ温度を検出電圧としてモニタできる。第1および第2差動増幅器を用いて、検出電圧を第1および第2境界温度にそれぞれ対応する第1および第2参照電圧と比較することで、チップ温度の変化を正確かつ簡易な回路で検出でき、制御回路を確実に切り替えることができる。

【0021】

請求項4の半導体集積回路では、上述の請求項3と同様の効果を有する。さらに、温度検出部から出力される検出電圧を基準差動増幅器により増幅することで、第1および第2差動増幅器に入力される検出電圧（基準検出電圧）の変化を急峻にできる。この結果、第1および第2境界温度が互いに近接する場合に、半導体集積回路の製造条件の変動等により、第1および第2差動増幅器の特性がばらつき、オフセット電圧が付いても、温度検出信号を確実に生成できる。

【0022】

請求項5の半導体集積回路では、スイッチ回路を、ROM回路の設定値に応じて、選択することで、複数種の第1および第2参照電圧を生成できる。このため、製造条件の変動または製品仕様に応じて、最適な特性を有する半導体集積回路を製造できる。

【0023】

請求項6の半導体集積回路では、メモリセルのリフレッシュ周期をチップ温度に応じて変更することで、半導体集積回路の消費電力を削減できる。

【0024】

請求項7の半導体集積回路では、読み出しコマンドおよび書き込みコマンドとリフレッシュコマンドとが競合するときに、アクセス動作とリフレッシュ動作との実行順を決める裁定回路を有する半導体集積回路において、リフレッシュタイマを効率的に動作でき、スタンバイ電流を削減できる。

【0025】



請求項 8 の半導体集積回路では、セルフリフレッシュモードを有する半導体集積回路において、リフレッシュタイマを効率的に動作でき、スタンバイ電流（セルフリフレッシュ電流）を削減できる。

【発明を実施するための最良の形態】

#### 【0026】

以下、本発明の実施形態を図面を用いて説明する。図中の二重丸は、外部端子を示している。図中、太線で示した信号線は、複数本で構成されている。太線が接続されているブロックの一部は、複数の回路で構成されている。外部端子を介して供給される信号には、端子名と同じ符号を使用する。信号が伝達される信号線には、信号名と同じ符号を使用する。

#### 【0027】

図 1 は、本発明の半導体集積回路の第 1 の実施形態を示している。この半導体集積回路は、シリコン基板上に CMOS プロセスを使用して擬似 SRAM として形成されている。擬似 SRAM は、DRAM のメモリコアを有し、SRAM のインタフェースを有している。擬似 SRAM は、外部からリフレッシュコマンドを受けることなく、チップ内部で定期的にリフレッシュ動作を実行し、メモリセルに書き込まれたデータを保持する。擬似 SRAM は、例えば、携帯電話に搭載されるワークメモリに使用される。読み出し動作および書き込み動作は、外部端子を介して供給されるコマンド信号 CMD（読み出しコマンド信号および書き込みコマンド信号）に応じて実行される。

#### 【0028】

擬似 SRAM は、コマンド入力回路 10、参照電圧生成回路 12、温度検出回路 14、リフレッシュタイマ 16、リフレッシュアドレス生成回路 18、アドレス入力回路 20、データ入出力回路 22、動作制御回路 24、アドレス切替回路 26 およびメモリコア 28 を有している。なお、図 1 では、本発明の説明に必要な主要な信号のみを示している。

#### 【0029】

コマンド入力回路 10（コマンドデコーダ）は、コマンド端子を介して供給されるコマンド信号 CMD（例えば、チップイネーブル信号/CE、書き込みイネーブル信号/WE、出力イネーブル信号/OE など）を受信する。コマンド入力回路 10 は、受信したコマンド信号 CMD（アクセス要求）を解読し、メモリコア 28 を動作させるための内部コマンド信号 ICMD を出力する。

#### 【0030】

参照電圧生成回路 12 は、閾値電圧  $V_{th1}$ （第 1 参照電圧）および閾値電圧  $V_{th2}$ （第 2 参照電圧）を生成する。閾値電圧  $V_{th1}$ 、 $V_{th2}$  は、後述する第 1 境界温度  $T_{th1}$  および第 2 境界温度  $T_{th2}$  にそれぞれ対応する。

#### 【0031】

温度検出回路 14 は、擬似 SRAM のチップ温度が低温から高温への移行により境界温度  $T_{th1}$ （閾値電圧  $V_{th1}$  により示される）より高くなったことを検出したときに、温度検出信号 TDET を高温状態を示す低レベルに設定する。温度検出回路 14 は、チップ温度が高温から低温への移行により境界温度  $T_{th2}$ （閾値電圧  $V_{th2}$  により示される）より低くなったことを検出したときに温度検出信号 TDET を低温状態を示す高レベルに設定する。温度検出回路 14 は、チップ温度が境界温度  $T_{th1}$ 、 $T_{th2}$  の間にあるときに、温度検出信号 TDET のレベルを維持する。境界温度  $T_{th1}$  は、境界温度  $T_{th2}$  より高い。

#### 【0032】

リフレッシュタイマ 16 は、メモリセル MC をリフレッシュするためのリフレッシュ要求信号 RREQ を所定の周期で生成する。リフレッシュタイマ 16 は、温度検出信号 TDET が高レベルのときタイマ周期を長くし、温度検出信号 TDET が低レベルのときタイマ周期を短くする。すなわち、リフレッシュ要求信号 RREQ の出力頻度は、チップ温度が低いときに少なくなり、チップ温度が高いときに多くなる。

#### 【0033】

リフレッシュアドレス生成回路 18 は、リフレッシュ要求信号 RREQ に応じてカウント動

作し、複数ビットからなるリフレッシュアドレス信号RFAを出力する。リフレッシュアドレス信号RFAは、ワード線WLを選択するためのロウアドレス信号である。

#### 【0034】

アドレス入力回路20は、アドレス端子から供給されるアドレス信号ADDを受信し、受信した信号をロウアドレス信号RAおよびコラムアドレス信号CAとして出力する。ロウアドレス信号RAは、ワード線WLを選択するために使用される。コラムアドレス信号CAは、ビット線BLZ（またはBLX）を選択するために使用される。

#### 【0035】

データ入出力回路22は、読み出し動作時に、メモリコア28からコモンデータバスCDBを介して転送される読み出しデータをデータ端子DQ（例えば、16ビット）に出力する。データ入出力回路22は、書き込み動作時に、データ端子DQを介して供給される書き込みデータを受信し、受信したデータをコモンデータバスCDBを介してメモリコア28に転送する。

#### 【0036】

動作制御回路24は、非同期で入力される内部コマンド信号ICMDおよびリフレッシュ要求信号RREQが競合するときに、そのどちらを優先させるかを決める裁定回路25を有している。動作制御回路24は、リフレッシュ要求信号RREQに応答してリフレッシュ動作を実行するときに、リフレッシュ信号REFZを出力する。裁定回路25により、リフレッシュ動作は、擬似SRAMの外部から供給される読み出しコマンドに응答する読み出し動作または書き込みコマンドに응答する書き込み動作の合間に実行される。すなわち、リフレッシュ動作は、擬似SRAMの内部で自動的に実行される。動作制御回路24は、裁定回路25により優先判定された内部コマンド信号ICMD（読み出しコマンド信号および書き込みコマンド信号）またはリフレッシュ要求信号RREQ（リフレッシュコマンド信号）に응答して、メモリコア28内の複数の制御回路（後述するワードデコーダWDEC、センスアンプSA等）の動作タイミングをそれぞれ決めるタイミング信号TIMINGを出力する。

#### 【0037】

アドレス切替回路26は、低レベルのリフレッシュ信号REFZを受けているときに（読み出し動作中、書き込み動作中またはスタンバイ期間中）、ロウアドレス信号RAを内部ロウアドレス信号IRAとして出力する。アドレス切替回路26は、高レベルのリフレッシュ信号REFZを受けているときに（リフレッシュ動作中）、リフレッシュアドレス信号RFAを内部ロウアドレス信号IRAとして出力する。すなわち、読み出し動作、書き込み動作およびスタンバイ期間では、外部から供給されるロウアドレス信号RAが選択され、リフレッシュ動作では、内部で生成されるリフレッシュアドレス信号RFAが選択される。

#### 【0038】

メモリコア28は、ワードデコーダWDEC、センスアンプSA、プリチャージ回路PRE、メモリアレイARY、コラムデコーダCDEC、センスバッファSBおよびライトアンプWAを有している。メモリアレイARYを除く回路の動作タイミングは、それぞれタイミング信号TIMINGにより設定される。

#### 【0039】

ワードデコーダWDECは、内部ロウアドレス信号IRAに対応するワード線WLを選択する。センスアンプSAは、読み出し動作、書き込み動作およびリフレッシュ動作時に、ビット線BLZ、BLXの電圧差を増幅する。プリチャージ回路PREは、メモリコア24の非動作中にビット線BLZ、BLXを所定の電圧に設定する。

#### 【0040】

コラムデコーダCDECは、読み出し動作および書き込み動作時に、コラムアドレス信号CAに応じて、ビット線BLZ、BLXとデータバスDBとをそれぞれ接続するコラムスイッチを選択し、選択したコラムスイッチをコラム線制御信号CLZに同期してオンさせる。センスバッファSBは、読み出し動作時にデータバスDB上の読み出しデータの信号量を増幅し、コモンデータバスCDBに出力する。ライトアンプWAは、書き込み動作時にコモンデータバスCDB上の書き込みデータの信号量を増幅し、データバスDBに出力する。

**【0041】**

メモリアレイARYは、マトリックス状に配置された複数のダイナミックメモリセルMCと、メモリセルMCに接続された複数のワード線WLおよび複数のビット線対BLZ、BLXを有している。メモリセルMCは、一般のDRAMのメモリセルと同じであり、データを電荷として保持するためのキャパシタ（記憶ノード）と、このキャパシタとビット線BLとの間に配置された転送トランジスタとを有している。転送トランジスタのゲートは、ワード線WLに接続されている。

**【0042】**

図2は、図1に示した温度検出回路14およびリフレッシュタイマ16の詳細を示している。温度検出回路14は、温度検出部14a、第1差動増幅器14b、第2差動増幅器14cおよびフリップフロップ14d等を有している。温度検出部14aは、内部電源線VIIと接地線VSSの間に接続された抵抗R1（例えば、拡散抵抗）およびバイポーラトランジスタBP1を有している。温度検出部14aは、抵抗R1およびバイポーラトランジスタBP1の接続ノードN01からチップ温度に対応する検出電圧を生成する。例えば、チップ温度が上昇すると、バイポーラトランジスタBP1の閾値電圧が下がるため、ノードN01の電圧は下がる。

**【0043】**

差動増幅器14bは、第1境界温度Tth1を示す閾値電圧Vth1と検出電圧N01を比較する。差動増幅器14bの出力ノードN02は、検出電圧N01<閾値電圧Vth1のときに高レベルに変化し、その逆のときに低レベルに変化する。差動増幅器14cは、第2境界温度Tth2を示す閾値電圧Vth2と検出電圧N01を比較する。差動増幅器14cの出力ノードN04は、検出電圧N01>閾値電圧Vth2のときに高レベルに変化し、その逆のときに低レベルに変化する。差動増幅器14b、14cの出力にそれぞれ接続されたインバータは、ノードN02、N04の波形を成形して反転し、反転した波形をノードN03、N05を介してフリップフロップ14dに出力する。

**【0044】**

フリップフロップ14dは、ノードN03が高レベルから低レベルに変化したときに温度検出信号TDETを低レベルに変化し、ノードN05が高レベルから低レベルに変化したときに温度検出信号TDETを高レベルに変化する。

**【0045】**

リフレッシュタイマ16は、リング発振器16a、分周回路16bおよびセクタ16cを有している。リング発振器16aは、縦続接続された奇数段のインバータを有し、所定の周期の発振信号を出力する。分周回路16bは、発振信号の周波数を分周するために、縦続接続された複数段の1/2分周器を有している。セクタ16cは、予め決められた2つの1/2分周器から出力される分周信号のいずれかを、温度検出信号TDETの論理レベルに応じて選択し、選択した分周信号をリフレッシュ要求信号RREQとして出力する。なお、セクタ16cに入力する2つの分周信号を出力する1/2分周器は、図に示した2つの1/2分周器に限らず擬似SRAMの設計仕様に依拠して決めればよい。

**【0046】**

図3は、図2に示した温度検出回路14の動作を示している。図2に示した温度検出部14aは、チップ温度に応じた電圧をノードN01に生成する。チップ温度が低温から高温に変化し、境界温度Tth2を超えたとき（図3（a））、差動増幅器14cの出力ノードN04は、高レベルから低レベルに変化し、ノードN05は、低レベルから高レベルに変化する（図3（b））。このとき、ノードN03は高レベルのため、フリップフロップ14dの出力（TDET）は、高レベルを維持する（図3（c））。

**【0047】**

チップ温度が低温から高温に変化し、境界温度Tth1を超えたとき（図3（d））、差動増幅器14bの出力ノードN02は、低レベルから高レベルに変化し、ノードN03は、高レベルから低レベルに変化する（図3（e））。このとき、ノードN05は高レベルのため、フリップフロップ14dの出力（TDET）は、高レベルから低レベルに変化する（図3（f））。

)。

#### 【0048】

上述とは逆に、チップ温度が高温から低温に変化し、境界温度Tth1を下回ったとき(図3(g))、差動増幅器14bの出力ノードN02は、高レベルから低レベルに変化し、ノードN03は、低レベルから高レベルに変化する(図3(h))。このとき、ノードN05は高レベルのため、フリップフロップ14dの出力(TDET)は、低レベルを維持する(図3(i))。

#### 【0049】

チップ温度が高温から低温に変化し、境界温度Tth2を下回ったとき(図3(j))、差動増幅器14cの出力ノードN04は、低レベルから高レベルに変化し、ノードN05は、高レベルから低レベルに変化する(図3(k))。このとき、ノードN03は高レベルのため、フリップフロップ14dの出力(TDET)は、低レベルから高レベルに変化する(図3(l))。このように、温度検出回路14は、シュミットトリガ機能を有しており、チップ温度が境界温度Tth1、Tth2の間にあるときに、温度検出信号TDETは、以前の値を示す。

#### 【0050】

図4は、第1の実施形態におけるチップ温度の変化に伴う温度検出回路14およびリフレッシュタイマ16の動作を示している。温度検出信号TDETは、チップ温度が境界温度Tth2を超え、さらにTth1を超えるときのみ高レベルから低レベルに変化する。(図4(a)) また、温度検出信号TDETは、チップ温度が境界温度Tth1を下回り、さらにTth2を下回るときのみ低レベルから高レベルに変化する(図4(b))。換言すれば、チップ温度が境界温度Tth1の前後に変化するとき(図4(c))、チップ温度が境界温度Tth2の前後に変化するとき(図4(d、e))、およびチップ温度が境界温度Tth1とTth2の間で変化するとき(図4(f、g))、温度検出信号TDETのレベルは変化しない。このように、本発明では、境界温度Tth1、Tth2の間を緩衝帯とすることで、チップ温度の微少な変化または擬似SRAMの内部回路の動作による電源ノイズによって、温度検出信号TDETの出力レベルが頻繁に変化することを防止できる。すなわち、温度検出回路14の動作の安定性を向上できる。この結果、温度検出回路14の誤動作を防止でき、擬似SRAMの誤操作を防止できる。

#### 【0051】

温度検出信号TDETが高レベルのとき、リフレッシュタイマ16は、リフレッシュ要求信号RREQの生成間隔を長くする。チップ温度が低いとき、メモリセルMCのデータ保持時間は長くなるため、リフレッシュの頻度を下げてもメモリセルMCに保持されているデータは消失しない。一方、チップ温度が高いとき、メモリセルMCのデータ保持時間は短くなるため、リフレッシュの頻度を上げてメモリセルMCに保持されているデータの消失を防止する必要がある。リフレッシュの頻度を、チップ温度により変化させることで、リフレッシュタイマ16等の無駄な動作を防止でき、スタンバイ電流を削減できる。さらに、境界温度Tth1またはTth2付近で温度が変動するときに、リフレッシュ周期が何度も切り替えられることを防止できる。このため、この切り替え動作により、温度検出回路14およびリフレッシュタイマ16の消費電流が増加し、スタンバイ電流が増加することを防止できる。

#### 【0052】

以上、本実施形態では、温度検出回路14が出力する温度検出信号TDETの論理レベルを2つの境界温度Tth1、Tth2に応じて変化させ、チップ温度が境界温度Tth1、Tth2の間にあるときに温度検出信号TDETの論理レベルを維持することで、チップ温度が境界温度Tth1またはTth2付近で変動する場合にも、リフレッシュ要求信号RREQの周期が頻繁に変わることを防止できる。この結果、リフレッシュ要求信号RREQの周期(メモリセルMCのリフレッシュ周期)を切り替えるためのリフレッシュタイマ16内部での切り替え動作の頻度を減少できる。すなわち、アクセス動作とリフレッシュ動作との実行順を決める裁定回路25を有する擬似SRAMのスタンバイ電流を削減できる。

#### 【0053】

温度検出回路14の温度検出部14aは、バイポーラトランジスタBP1の閾値電圧が温

度に依存して変化することを利用して、チップ温度を検出電圧N01としてモニタできる。さらに、差動増幅器14b、14cにより、検出電圧N01を境界温度Tth1、Tth2にそれぞれ対応する閾値電圧Vth1、Vth2と比較することで、チップ温度の変化を正確かつ簡易な回路で検出できる。

#### 【0054】

図5は、本発明の半導体集積回路の第2の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態の半導体集積回路は、シリコン基板上にCMOSプロセスを使用して擬似SRAMとして形成されている。

#### 【0055】

擬似SRAMは、第1の実施形態の参照電圧生成回路12の代わりに、参照電圧生成回路30を有している。また、新たに参照電圧設定回路32が形成されている。その他の構成は、第1の実施形態とほぼ同じである。

#### 【0056】

参照電圧設定回路32は、参照電圧生成回路30が生成する閾値電圧Vth1、Vth2の値をそれぞれ初期設定するために4ビットからなる設定信号SETを出力する。設定信号SETの論理は、擬似SRAMの製造工程中に固定される。参照電圧生成回路30は、設定信号SETの論理に応じた値の閾値電圧Vth1、Vth2を生成する。

#### 【0057】

図6は、図5に示した参照電圧設定回路32および参照電圧生成回路30の詳細を示している。この例では、閾値電圧Vth1を生成するための回路のみを示している。擬似SRAMは、閾値電圧Vth2を生成するために、図6と同様の回路を有している。

#### 【0058】

参照電圧設定回路32は、擬似SRAMの製造工程中に論理が固定されるヒューズ信号FS1、FS0を出力するROM回路32aと、ヒューズ信号FS1、FS0をデコードし、設定信号SET (SET11、SET10、SET01、SET00) を出力するデコーダ32bとを有している。ROM回路32aは、2つのROM部32c、32dを有している。各ROM部32c、32dは、内部電源線VIIと接地線VSSの間に直列に接続されたヒューズおよびnMOSトランジスタと、ヒューズおよびnMOSトランジスタの接続ノードに接続されたインバータを有している。nMOSトランジスタは、そのゲートを内部電源線VIIに接続することで常時オンしており、高抵抗として作用する。

#### 【0059】

ヒューズが存在するROM部(32cまたは32d)は、低レベルのヒューズ信号(FS1またはFS0)を出力する。ヒューズが溶断されたROM部(32cまたは32d)は、高レベルのヒューズ信号(FS1またはFS0)を出力する。擬似SRAMの製造工程において、製造仕様に依拠して2つのヒューズをそれぞれ溶断または未溶断とすることで、デコーダ32bは、セット信号のいずれかのみを低レベルに設定する。なお、設定信号SET11、SET10、SET01、SET00の末尾の数字は、ヒューズ信号FS1、FS0の論理を示している。例えば、ヒューズ信号FS1、FS0の論理が2進数で"10"のとき、設定信号SET10が低レベルを維持し、他の設定信号SET11、SET01、SET00は高レベルを維持する。

#### 【0060】

参照電圧生成回路30は、内部電源線VIIと接地線VSSとの間に直列に接続された複数の抵抗と、隣接する2つの抵抗の接続ノードのいずれかを閾値電圧Vth1の出力ノードに接続するためのスイッチ回路30aを有している。スイッチ回路30aは、複数組のCMOS伝達ゲートおよびインバータで構成されており、設定信号SETが低レベルのとき、対応するCMOS伝達ゲートがオンする。この例では、設定信号SET (SET11、SET10、SET01、SET00) の論理に応じて4種類の閾値電圧Vth1が生成される。抵抗の値は、生成する4つの閾値電圧Vth1に応じてそれぞれ設定される。

#### 【0061】

なお、この実施形態では、参照電圧生成回路30を閾値電圧Vth1、Vth2に対応してそれ

ぞれ形成する例を示している。しかし、内部電源線VIIと接地線VSSとの間に直列に接続される複数の抵抗を、閾値電圧 $V_{th1}$ 、 $V_{th2}$ を生成するために共用し、1つの参照電圧生成回路を用いて閾値電圧 $V_{th1}$ 、 $V_{th2}$ を生成してもよい。

#### 【0062】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、参照電圧設定回路32およびスイッチ回路30aにより、複数種の閾値電圧 $V_{th1}$ 、 $V_{th2}$ を生成できる。このため、製造条件の変動または製品仕様（消費電力仕様）に応じて、最適な特性を有する擬似SRAMを製造できる。

#### 【0063】

図7は、本発明の半導体集積回路の第3の実施形態の要部を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態では、温度検出回路34が、第1および第2の実施形態の温度検出回路14と相違する。その他の構成は、第1および第2の実施形態とそれぞれほぼ同じである。このため、図7では、温度検出回路34のみを示す。

#### 【0064】

温度検出回路34は、図2に示した温度検出回路14に基準差動増幅器34aを加えて構成されている。基準差動増幅器34aは、抵抗 $R1$ とバイポーラトランジスタBP1の接続ノードN10と差動増幅器14b、14cの入力ノードN11の間に配置されている。基準差動増幅器34aは、予め設定された閾値電圧 $V_{th10}$ （基準参照電圧）と検出電圧N10を比較し、比較結果を基準検出電圧N11として出力する。差動増幅器14bは、閾値電圧 $V_{th11}$ と基準検出電圧N11を比較する。差動増幅器14cは、基準検出電圧N11と閾値電圧 $V_{th12}$ を比較する。

#### 【0065】

図8は、図7に示した温度検出回路34の動作を示している。基準検出電圧N11は、検出電圧 $N10 > \text{閾値電圧 } V_{th10}$ のときに高レベルに変化し（図8（a））、その逆のときに低レベルに変化する（図8（b））。ここで、閾値電圧 $V_{th10}$ は、閾値電圧 $V_{th1}$ と $V_{th2}$ の中央に設定されている。

#### 【0066】

基準検出電圧N11を受ける差動増幅器14b、14cおよびフリップフロップ14dの動作は、第1の実施形態（図3）と同じである。この実施形態では、差動増幅器14b、14cは、温度検出部14aが生成する検出電圧N10を差動増幅器34aを介して受ける。このため、変化が緩慢な検出電圧N10を変化が急峻な基準検出電圧N11に変換できる。したがって、ノードN14、N12の電圧変化を第1の実施形態に比べ急峻にできる。

#### 【0067】

この実施形態においても、上述した第1の実施形態と同様の効果を得ることができる。さらに、この実施形態では、ノードN14、N12の電圧変化を急峻にできるため、製造条件の変動により差動増幅器14b、14cの特性がばらつき、オフセット電圧が付いても温度検出信号TDETを確実に生成できる。この結果、閾値電圧 $V_{th12}$ 、 $V_{th11}$ （境界温度 $T_{th1}$ 、 $T_{th2}$ ）が近接する仕様の擬似SRAMにおいても温度検出回路34の誤動作を防止し、温度検出信号TDETを確実に生成できる。あるいは、製造条件の変動により閾値電圧 $V_{th12}$ 、 $V_{th11}$ がばらつく場合にも、温度検出信号TDETを確実に生成できる。

#### 【0068】

図9は、本発明の半導体集積回路の第4の実施形態を示している。第1および第2の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態の半導体集積回路は、シリコン基板上にCMOSプロセスを使用して擬似SRAMとして形成されている。

#### 【0069】

擬似SRAMは、第2の実施形態の参照電圧生成回路30、温度検出回路14、リフレッシュタイマ16および参照電圧設定回路32の代わりに、参照電圧生成回路36、温度検出回路38、リフレッシュタイマ40および参照電圧設定回路42を有している。その他の

構成は、第2の実施形態とほぼ同じである。

#### 【0070】

参照電圧生成回路36は、境界温度 $T_{th1}$ 、 $T_{th2}$ 、 $T_{th3}$ 、 $T_{th4}$ に対応する4つの閾値電圧 $V_{th1}$ 、 $V_{th2}$ 、 $V_{th3}$ 、 $V_{th4}$ を生成する。温度検出回路38は、擬似SRAMのチップ温度に対応して検出される電圧を、閾値電圧 $V_{th1-4}$ と比較し、比較結果に応じて2ビットからなる温度検出信号TDET1-2を出力する。リフレッシュタイマ40は、温度検出信号TDET1-2に応じてタイマ周期を変化する。すなわち、リフレッシュ要求信号RREQの生成間隔（＝出力頻度）は、温度検出信号TDET1-2に応じて設定される。

#### 【0071】

参照電圧設定回路42は、参照電圧生成回路36が生成する閾値電圧 $V_{th1-4}$ の値をそれぞれ初期設定するために8ビットからなる設定信号SETを出力する。各閾値電圧 $V_{th1-4}$ を初期設定するために設定信号SETの2ビットが使用される。設定信号SETの論理は、第2の実施形態と同様に、擬似SRAMの製造工程中に固定される。

#### 【0072】

図10は、図9に示した温度検出回路38の詳細を示している。温度検出信号TDET1を生成するための温度検出部14a、差動増幅器14b、14cおよびフリップフロップ14dは、第1の実施形態の温度検出回路14（図2）と同じである。さらに、温度検出回路38は、温度検出信号TDET2を生成するために、差動増幅器38b、38cおよびフリップフロップ38dを有している。温度検出部14aの出力（検出電圧N31）は、差動増幅器14b、14c、38b、38cに共通に入力される。

#### 【0073】

差動増幅器38b、38cおよびフリップフロップ38d等により構成される温度検出信号TDET2の生成回路は、差動増幅器14b、14cおよびフリップフロップ14d等により構成される温度検出信号TDET1の生成回路と同じである。差動増幅器38bは、閾値電圧 $V_{th3}$ および検出電圧N31を比較し、比較結果を出力ノードN36に出力する。差動増幅器38cは、検出電圧N31および閾値電圧 $V_{th4}$ を比較し、比較結果を出力ノードN38に出力する。

#### 【0074】

図11は、チップ温度の変化に伴う温度検出回路38およびリフレッシュタイマ40の動作を示している。温度検出回路38は、擬似SRAMのチップ温度が低温から高温への移行により境界温度 $T_{th1}$ （閾値電圧 $V_{th1}$ により示される）より高くなったことを検出したときに、温度検出信号TDET1を高温状態を示す低レベルに設定する（図11（a、b））。すなわち、温度検出信号TDET1は、チップ温度が境界温度 $T_{th2}$ を超え、さらに $T_{th1}$ を超えるときのみ高レベルから低レベルに変化する。温度検出回路38は、チップ温度が高温から低温への移行により境界温度 $T_{th2}$ （閾値電圧 $V_{th2}$ により示される）より低くなったことを検出したときに温度検出信号TDET1を低温状態を示す高レベルに設定する（図11（c、d））。すなわち、温度検出信号TDET1は、チップ温度が境界温度 $T_{th1}$ を下回り、さらに $T_{th2}$ を下回るときのみに低レベルから高レベルに変化する。

#### 【0075】

さらに、温度検出回路38は、擬似SRAMのチップ温度が低温から高温への移行により境界温度 $T_{th3}$ より高くなったことを検出したときに、温度検出信号TDET2を高温状態を示す低レベルに設定する（図11（e、f））。すなわち、温度検出信号TDET2は、チップ温度が境界温度 $T_{th4}$ を超え、さらに $T_{th3}$ を超えるときのみ高レベルから低レベルに変化する。温度検出回路38は、チップ温度が高温から低温への移行により境界温度 $T_{th4}$ （閾値電圧 $V_{th4}$ により示される）より低くなったことを検出したときに温度検出信号TDET2を低温状態を示す高レベルに設定する（図11（g、h））。すなわち、温度検出信号TDET2は、チップ温度が境界温度 $T_{th3}$ を下回り、さらに $T_{th4}$ を下回るときのみに低レベルから高レベルに変化する。

#### 【0076】

温度検出回路38は、チップ温度が境界温度 $T_{th1}$ 、 $T_{th2}$ の間にあるとき、および境界温



度Tth3、Tth4の間にあるときに、温度検出信号TDET1-2のレベルを維持する。また、チップ温度が境界温度Tth1の前後に変化するとき、境界温度Tth2の前後に変化するとき、境界温度Tth3の前後に変化するとき、および境界温度Tth4の前後に変化するとき、温度検出信号TDET1-2のレベルは変化しない。境界温度は、 $Tth1 > Tth2 > Tth3 > Tth4$ である。

#### 【0077】

リフレッシュタイマ40は、温度検出信号TDET1-2の論理値が“11”のとき、リフレッシュ要求信号RREQの生成間隔を長く設定する。リフレッシュタイマ40は、温度検出信号TDET1-2の論理値が“10”のとき、リフレッシュ要求信号RREQの生成間隔を標準に設定する。リフレッシュタイマ40は、温度検出信号TDET1-2の論理値が“00”のとき、リフレッシュ要求信号RREQの生成間隔を短く設定する。

#### 【0078】

この実施形態においても、上述した第1および第2の実施形態と同様の効果を得ることができる。さらに、この実施形態では、リフレッシュの頻度を、チップ温度によって細かく変化させることで、リフレッシュタイマ40等の無駄な動作を防止でき、スタンバイ電流をさらに削減できる。

#### 【0079】

図12は、本発明の半導体集積回路の第5の実施形態を示している。第1の実施形態で説明した要素と同一の要素については、同一の符号を付し、これ等については、詳細な説明を省略する。この実施形態の半導体集積回路は、シリコン基板上にCMOSプロセスを使用してセルフリフレッシュ機能を有するDRAMとして形成されている。DRAMは、通常動作モード中に、外部コマンドCMDに応答して読み出し動作、書き込み動作またはリフレッシュ動作（オートリフレッシュ）を実行する。

#### 【0080】

DRAMは、セルフリフレッシュモード中に、内部で定期的に生成するリフレッシュ要求信号RREQに응答してリフレッシュ動作を実行する。DRAMは、例えば、ノート型のパーソナルコンピュータに搭載されるワークメモリに使用される。

#### 【0081】

DRAMは、第1の実施形態のコマンド入力回路10、参照電圧生成回路12、温度検出回路14、リフレッシュタイマ16および動作制御回路24の代わりに、コマンド入力回路44、参照電圧生成回路46、温度検出回路48、リフレッシュタイマ50および動作制御回路52を有している。その他の構成は、第1の実施形態とほぼ同じである。

#### 【0082】

コマンド入力回路44（コマンドデコーダ）は、通常動作モード中に、コマンド端子を介して供給されるコマンド信号CMD（例えば、ロウアドレスストロブ信号/RAS、コラムアドレスストロブ信号/CAS、書き込みイネーブル信号/WEなど）を受信する。コマンド入力回路44は、受信したコマンド信号CMD（読み出しコマンド、書き込みコマンド、オートリフレッシュコマンド）を解釈し、メモリコア28に読み出し動作、書き込み動作またはリフレッシュ動作（オートリフレッシュ）を実行させるための内部コマンド信号ICMDを出力する。

#### 【0083】

また、コマンド入力回路44は、コマンド端子CMDを介してセルフリフレッシュコマンドを受けたときに、チップを通常動作モードからセルフリフレッシュモードに移行するために、セルフリフレッシュ信号SREFを内部コマンド信号ICMDとして出力する。コマンド入力回路44は、セルフリフレッシュモード中に、アクセス要求（読み出しコマンド、書き込みコマンド）およびオートリフレッシュコマンドを受け付けない。

#### 【0084】

参照電圧生成回路46、温度検出回路48およびリフレッシュタイマ50は、セルフリフレッシュ信号SREFを受けている間に活性化され動作する。すなわち、これ等回路46、48、50は、通常動作モード中に動作を停止する。通常動作モード中に必要のない回路の動作を停止することで、DRAMの消費電力を削減できる。参照電圧生成回路46、温度検



出回路 48 およびリフレッシュタイマ 50 の基本的な機能は、第 1 の実施形態の参照電圧生成回路 12、温度検出回路 14 およびリフレッシュタイマ 16 と同じである。

【0085】

動作制御回路 52 は、通常動作モード中に、コマンド入力回路 44 から読み出しコマンド、書き込みコマンドまたはオートリフレッシュコマンドを受けたときに、メモリコア 28 に読み出し動作、書き込み動作またはリフレッシュ動作を実行させるためのタイミング信号 TIMING を出力する。動作制御回路 52 は、セルフリフレッシュモード中に、リフレッシュ要求信号 RREQ を受けたときに、メモリコア 28 にリフレッシュ動作を実行させるためのタイミング信号 TIMING を出力する。動作制御回路 52 の動作は、第 1 の実施形態の動作制御回路 24 と同じである。但し、この実施形態では、読み出し要求または書き込み要求と、リフレッシュ要求とが競合することはない。このため、動作制御回路 52 は、裁定回路を持たない。

【0086】

この実施形態においても、上述した第 1 の実施形態と同様の効果を得ることができる。さらに、この実施形態では、セルフリフレッシュモードを有する DRAM においても、スタンバイ電流（セルフリフレッシュ電流）を削減できる。

【0087】

なお、上述した実施形態では、本発明を擬似 SRAM チップおよび DRAM チップに適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明をシステム LSI に搭載される擬似 SRAM コアおよび DRAM コアに適用してもよい。

【0088】

上述した実施形態では、本発明を擬似 SRAM または DRAM に適用した例について述べた。本発明はかかる実施形態に限定されるものではない。例えば、本発明を内部クロック信号の周期をチップ温度に応じて変化させるロジック LSI 等に適用してもよい。

【0089】

また、上述した第 2 ～ 第 4 実施形態を擬似 SRAM でなく DRAM に適用してもよい。

【0090】

以上、本発明について詳細に説明してきたが、上記の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【図面の簡単な説明】

【0091】

【図 1】 本発明の半導体集積回路の第 1 の実施形態を示すブロック図である。

【図 2】 図 1 に示した温度検出回路およびリフレッシュタイマの詳細を示すブロック図である。

【図 3】 図 2 に示した温度検出回路の動作を示す波形図である。

【図 4】 第 1 の実施形態におけるチップ温度の変化に伴う温度検出回路およびリフレッシュタイマの動作を示す波形図である。

【図 5】 本発明の半導体集積回路の第 2 の実施形態を示すブロック図である。

【図 6】 図 5 に示した参照電圧設定回路および参照電圧生成回路の詳細を示す回路図である。

【図 7】 本発明の半導体集積回路の第 3 の実施形態の要部を示す回路図である。

【図 8】 図 7 に示した温度検出回路の動作を示す波形図である。

【図 9】 本発明の半導体集積回路の第 4 の実施形態を示すブロック図である。

【図 10】 図 9 に示した温度検出回路の詳細を示す回路図である。

【図 11】 第 4 の実施形態におけるチップ温度の変化に伴う温度検出回路およびリフレッシュタイマの動作を示す波形図である。

【図 12】 本発明の半導体集積回路の第 5 の実施形態を示すブロック図である。

【図 13】 ダイナミックメモリセルのデータ保持時間の温度依存性を示す特性図である。

【図 1 4】従来の温度検出回路を有する半導体集積回路の不具合の一例を示す説明図である。

【図 1 5】従来の温度検出回路を有する半導体集積回路の不具合の別の例を示す説明図である。

【符号の説明】

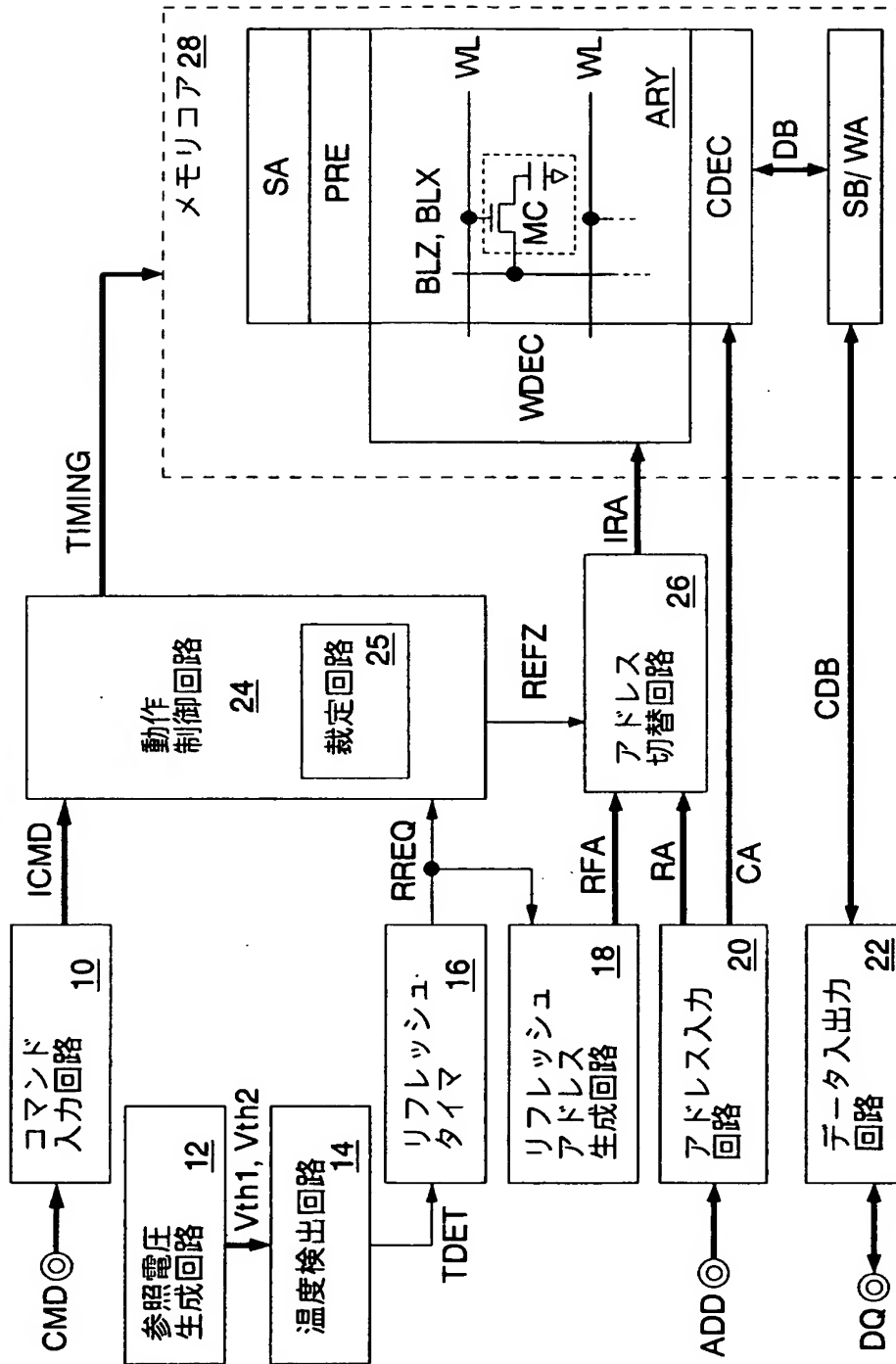
【 0 0 9 2 】

- 1 0 コマンド入力回路
- 1 2 参照電圧生成回路
- 1 4 温度検出回路
- 1 4 a 温度検出部
- 1 4 b、1 4 c 差動増幅器
- 1 4 d フリップフロップ
- 1 6 リフレッシュタイマ
- 1 6 a リング発振器
- 1 6 b 分周回路
- 1 6 c セレクタ
- 1 8 リフレッシュアドレス生成回路
- 2 0 アドレス入力回路
- 2 2 データ入出力回路
- 2 4 動作制御回路
- 2 5 裁定回路
- 2 6 アドレス切替回路
- 2 8 メモリコア
- 3 0 参照電圧生成回路
- 3 0 a スイッチ回路
- 3 2 参照電圧設定回路
- 3 2 a ROM回路
- 3 2 b デコーダ
- 3 4 温度検出回路
- 3 4 a 基準差動増幅器
- 3 6 参照電圧生成回路
- 3 8 温度検出回路
- 3 8 b、3 8 c 差動増幅器
- 3 8 d フリップフロップ
- 4 0 リフレッシュタイマ
- 4 2 参照電圧設定回路
- 4 4 コマンド入力回路
- 4 6 参照電圧生成回路
- 4 8 温度検出回路
- 5 0 リフレッシュタイマ
- 5 2 動作制御回路
- ARY メモリアレイ
- BP1 バイポーラトランジスタ
- CDEC コラムデコーダ
- CMD コマンド信号
- FS1、FS0 ヒューズ信号
- ICMD 内部コマンド信号
- MC ダイナミックメモリセル
- N01 検出電圧
- N11 基準検出電圧

PRE プリチャージ回路  
RREQ リフレッシュ要求信号  
R1 抵抗  
SA センスアンプ  
SB センスバッファ  
SET 設定信号  
SREF セルフリフレッシュ信号  
TDET、TDET1、TDET2 温度検出信号  
Tth1、Tth2、Tth3、Tth4 境界温度  
Vth1、Vth2、Vth3、Vth4 閾値電圧  
WA ライトアンプ  
WDEC ワードデコーダ

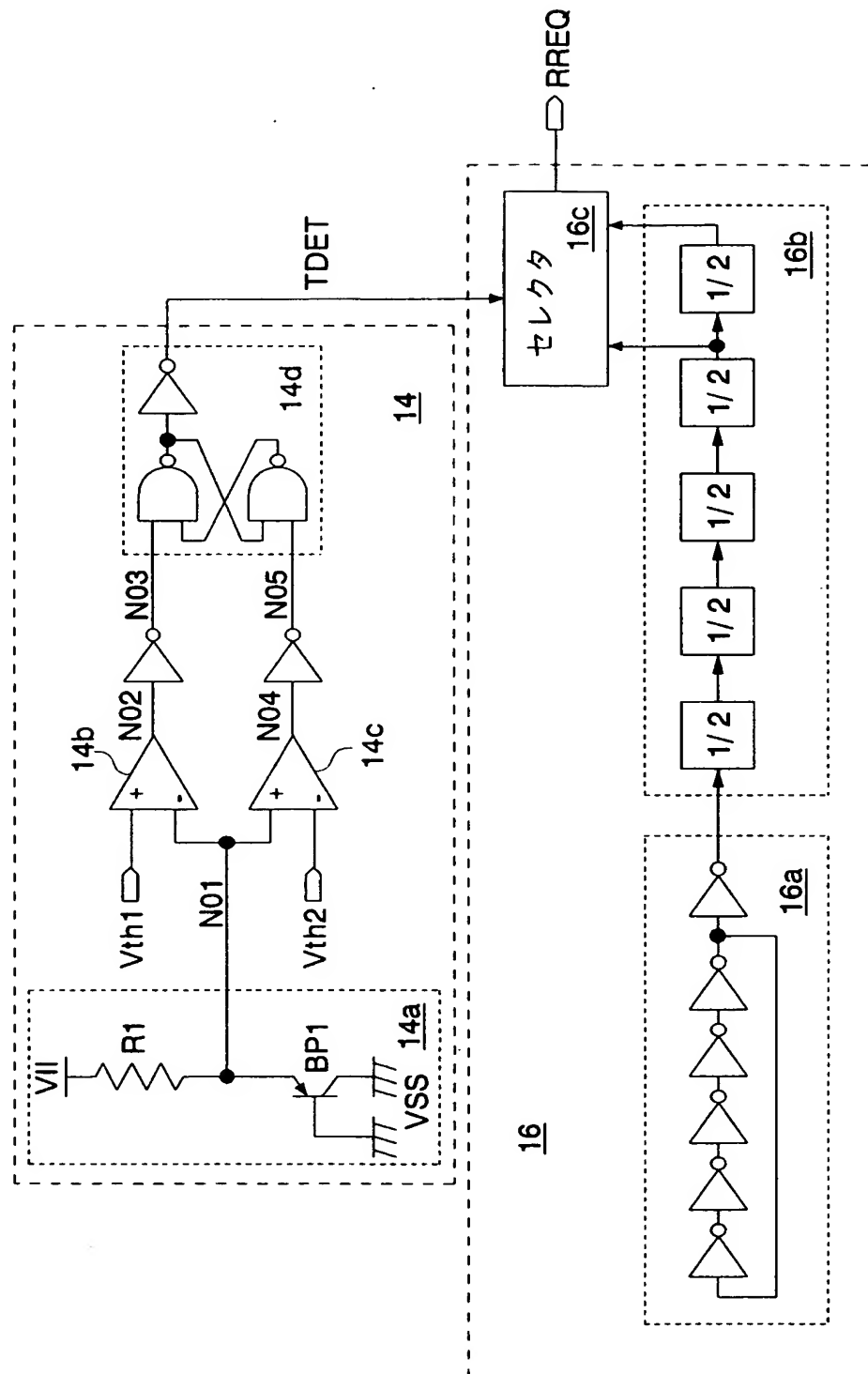
【書類名】 図面  
【図 1】

本発明の半導体集積回路の第 1 の実施形態を示すブロック図



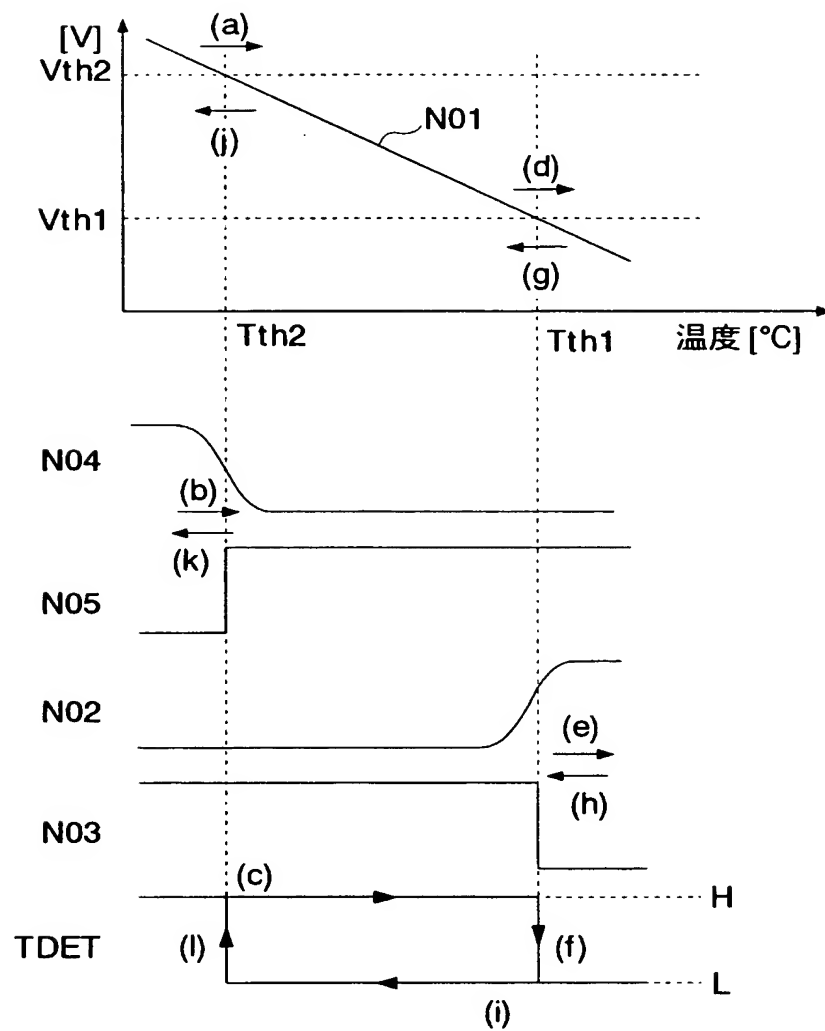
【圖 2】

図1に示した温度検出回路およびリフレッシュタイムの詳細を示すブロック図



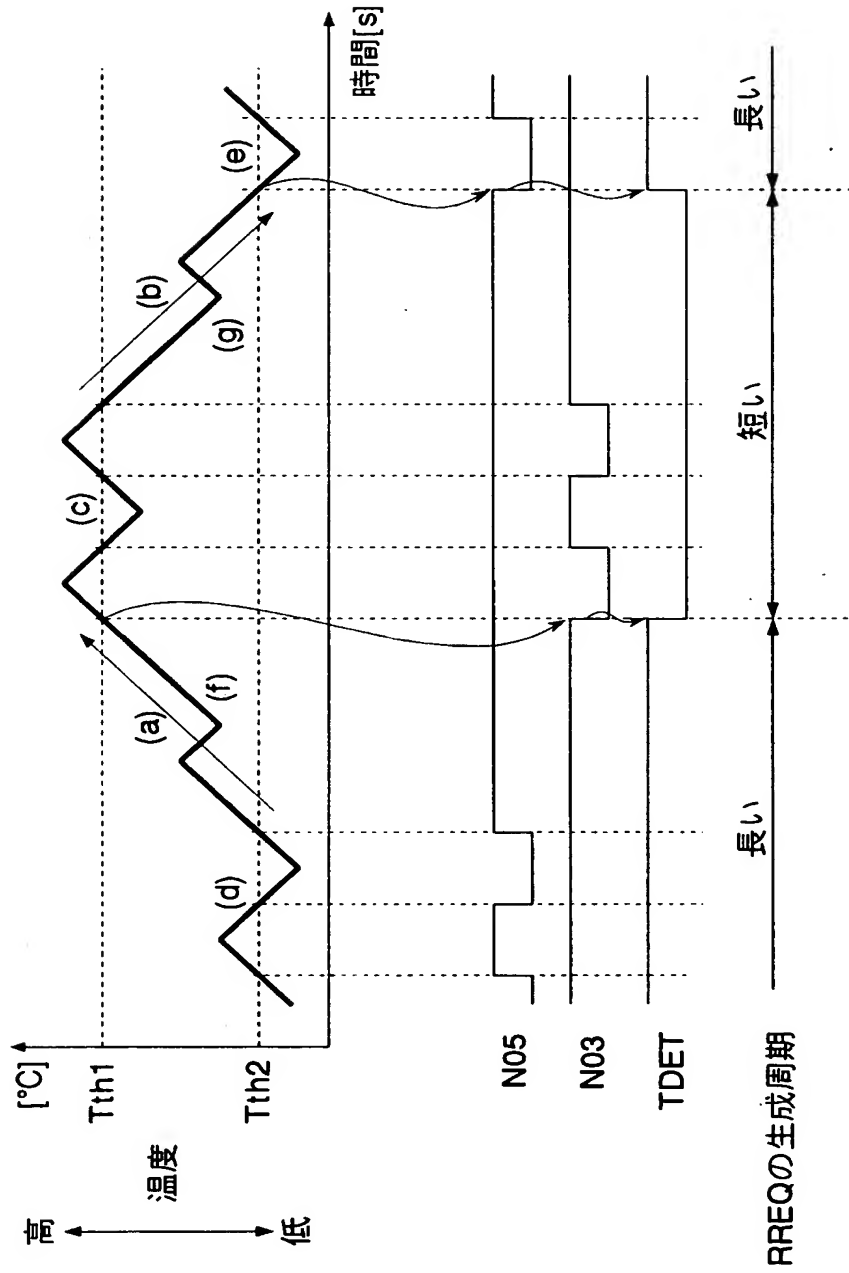
【図 3】

図 2 に示した温度検出回路の動作を示す波形図



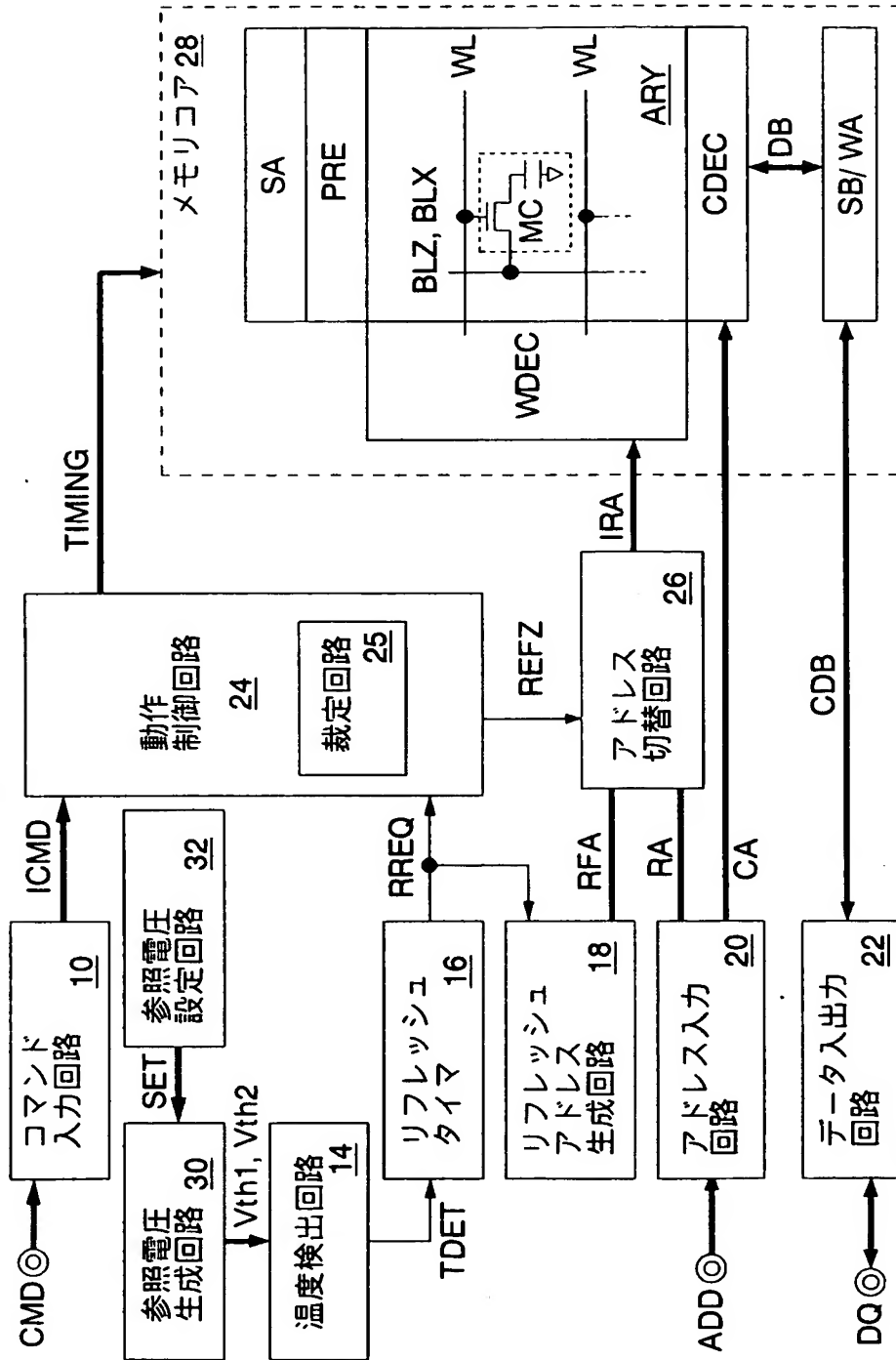
【図 4】

第1の実施形態におけるチップ温度の変化に伴う温度検出回路およびリフレッシュタイムの動作を示す波形図



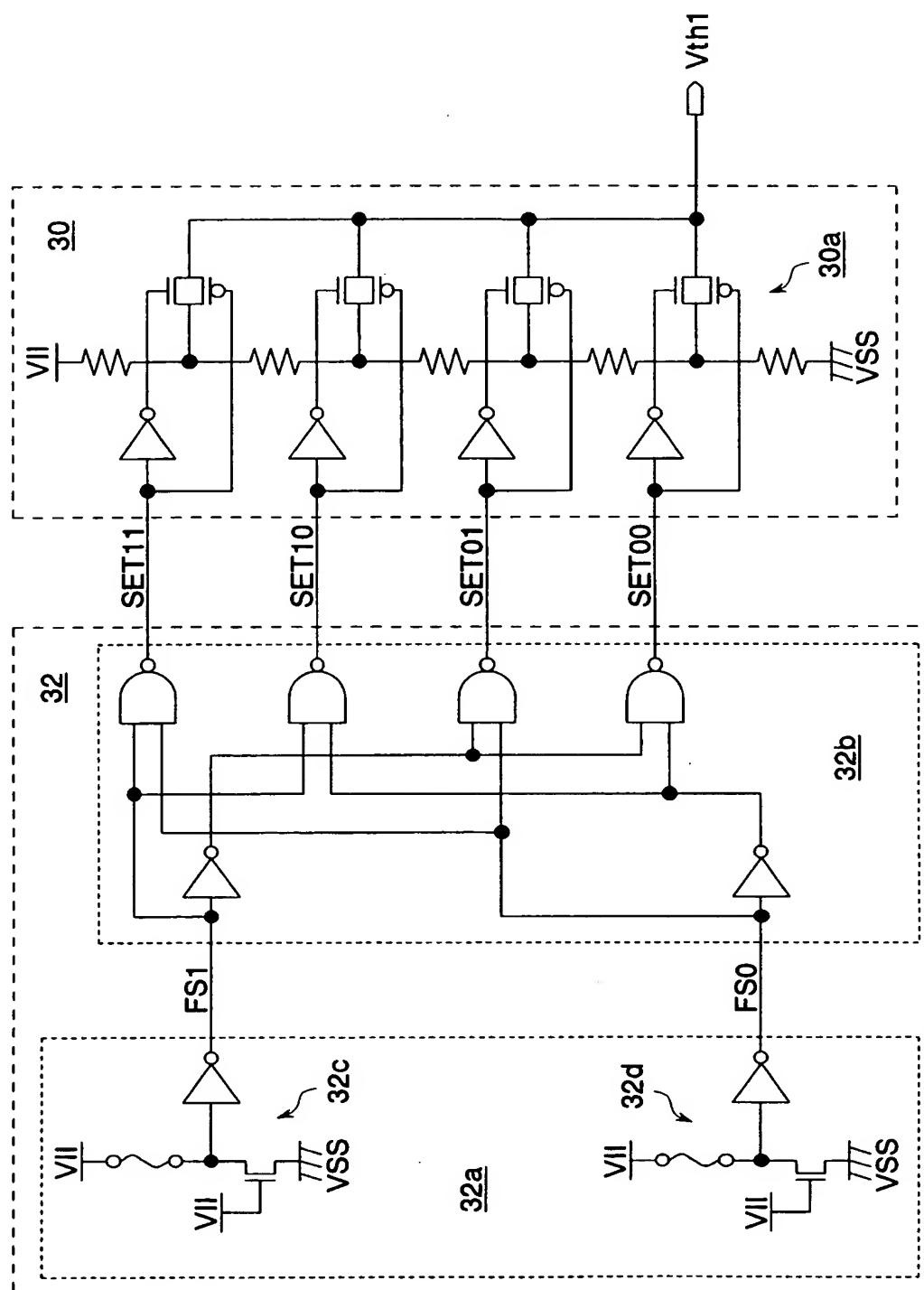
【図 5】

本発明の半導体集積回路の第 2 の実施形態を示すブロック図



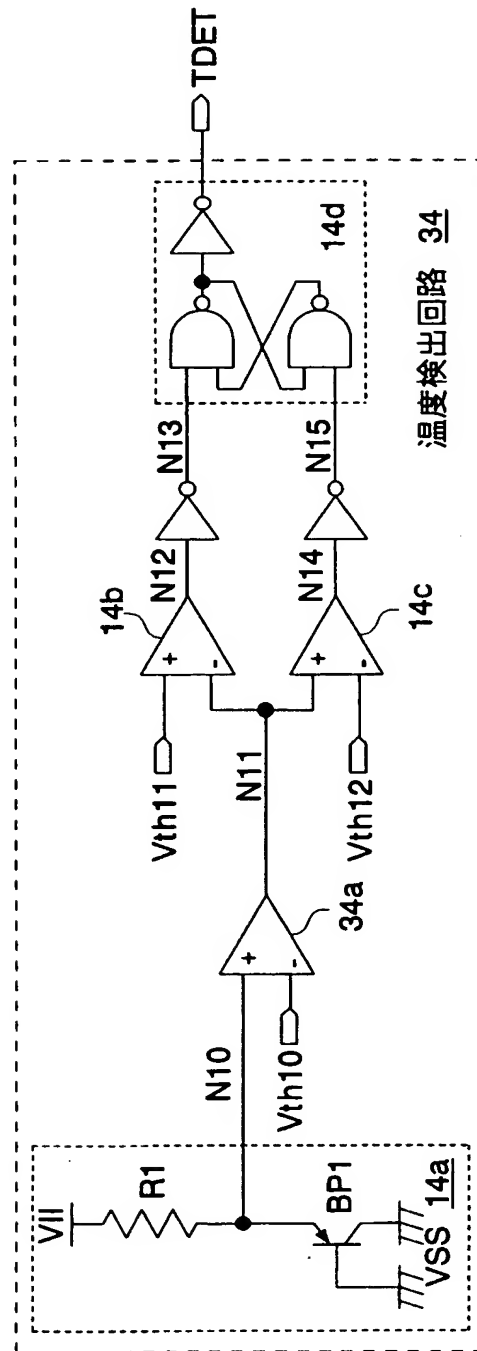


【圖 6】



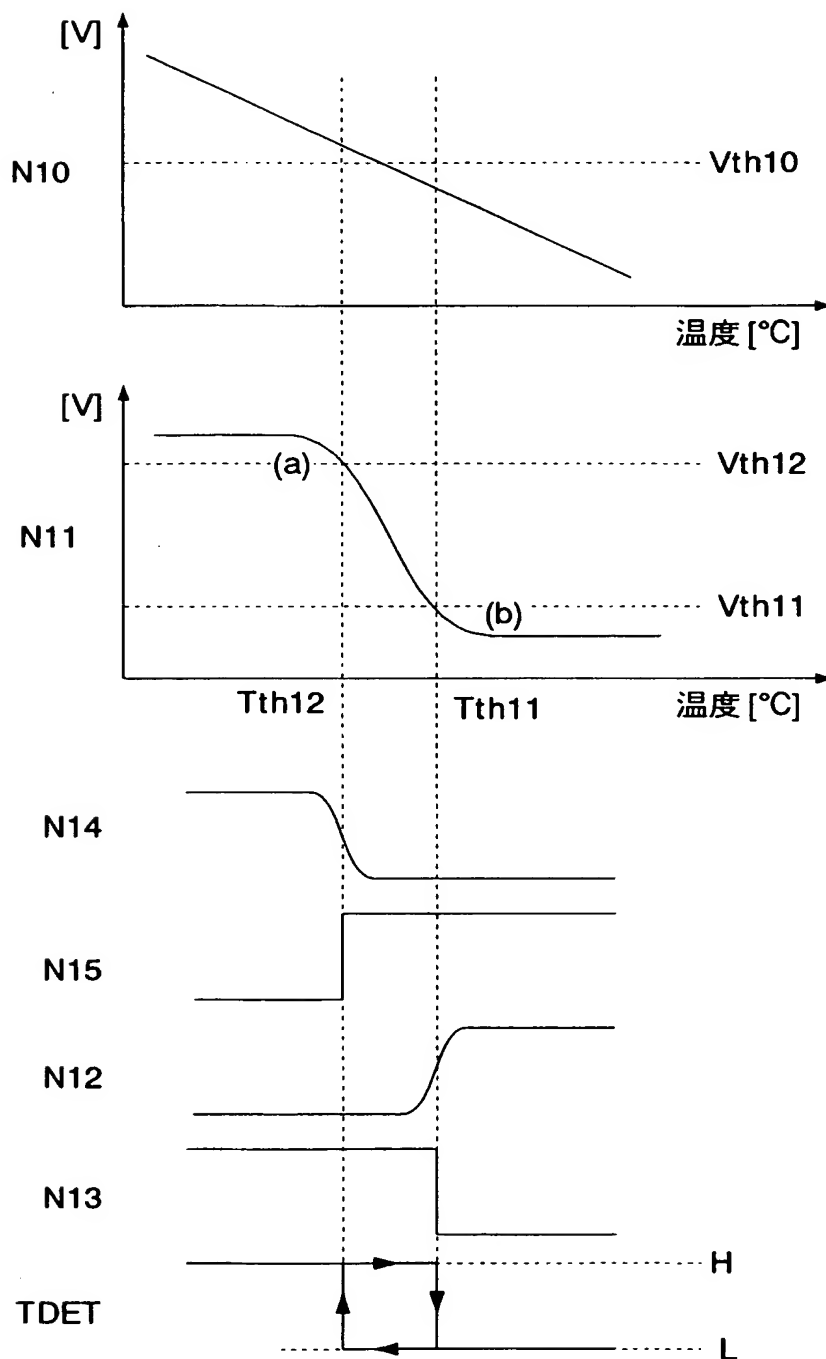
【図 7】

本発明の半導体集積回路の第3の実施形態の要部を示す回路図



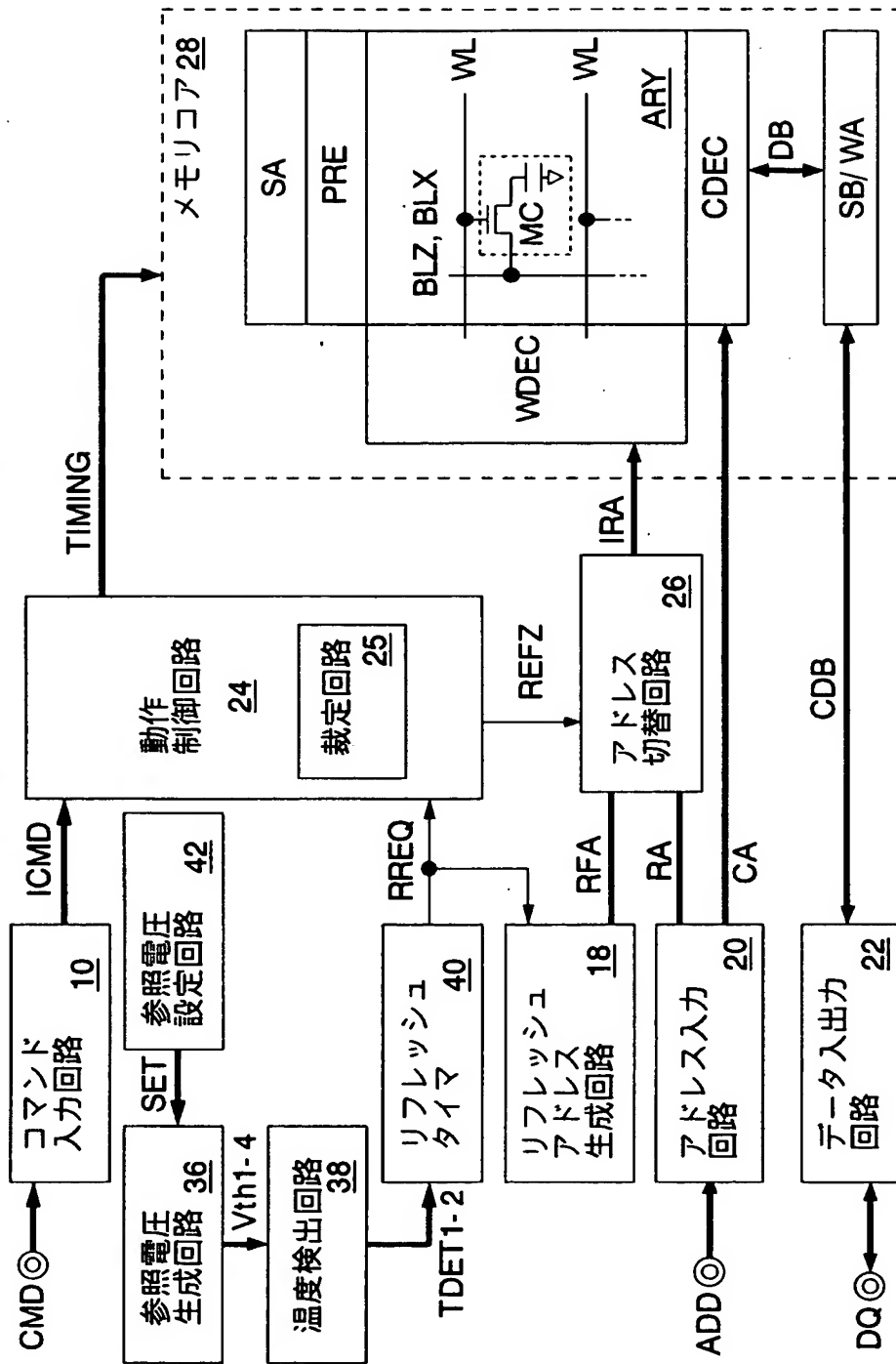
【図 8】

図 7 に示した温度検出回路の動作を示す波形図



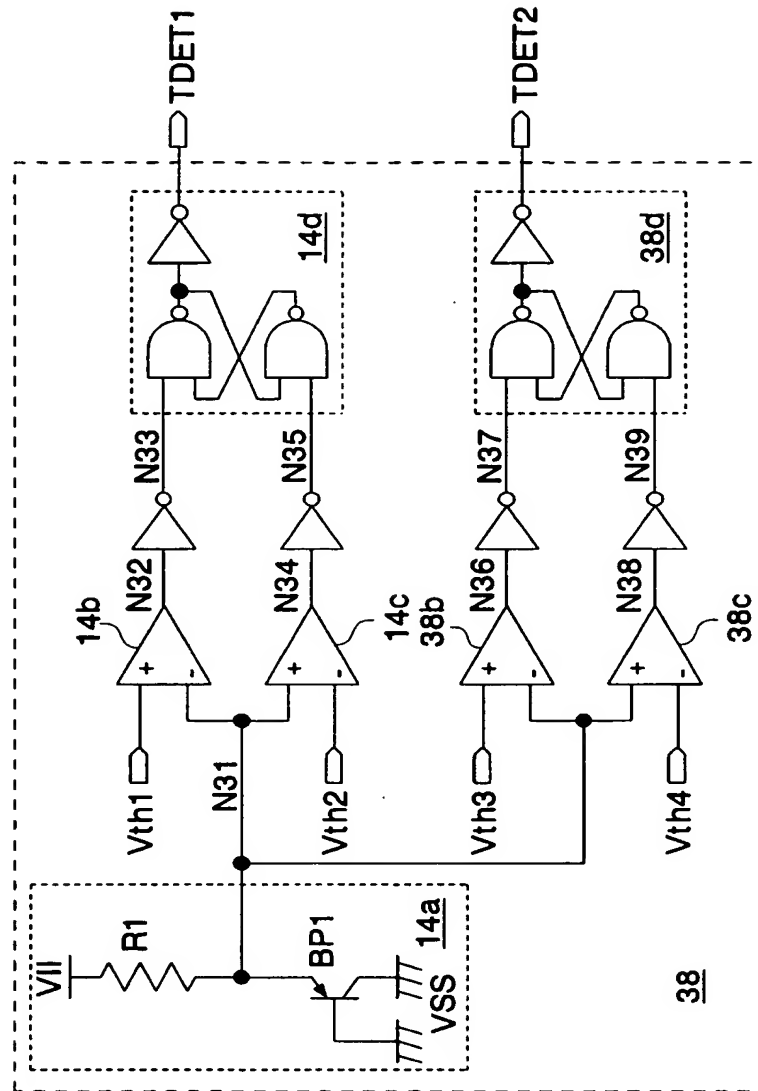
【図 9】

本発明の半導体集積回路の第 4 の実施形態を示すブロック図



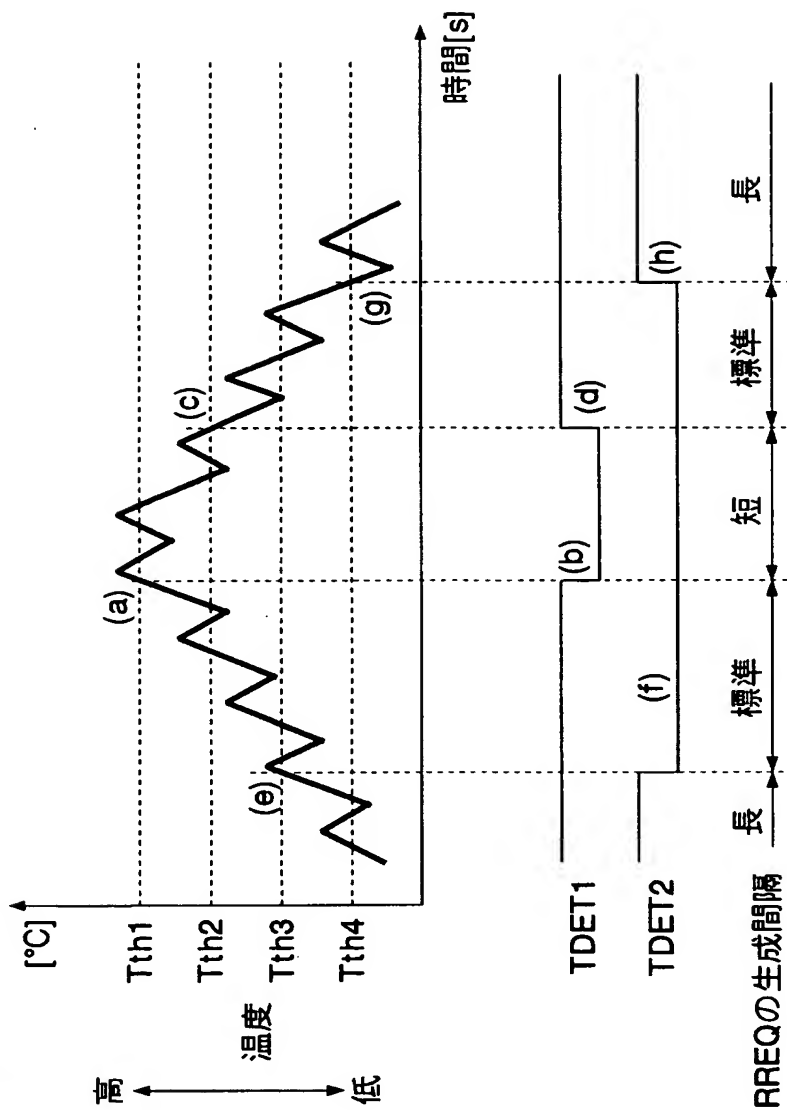
【図 10】

図 9 に示した温度検出回路の詳細を示す回路図



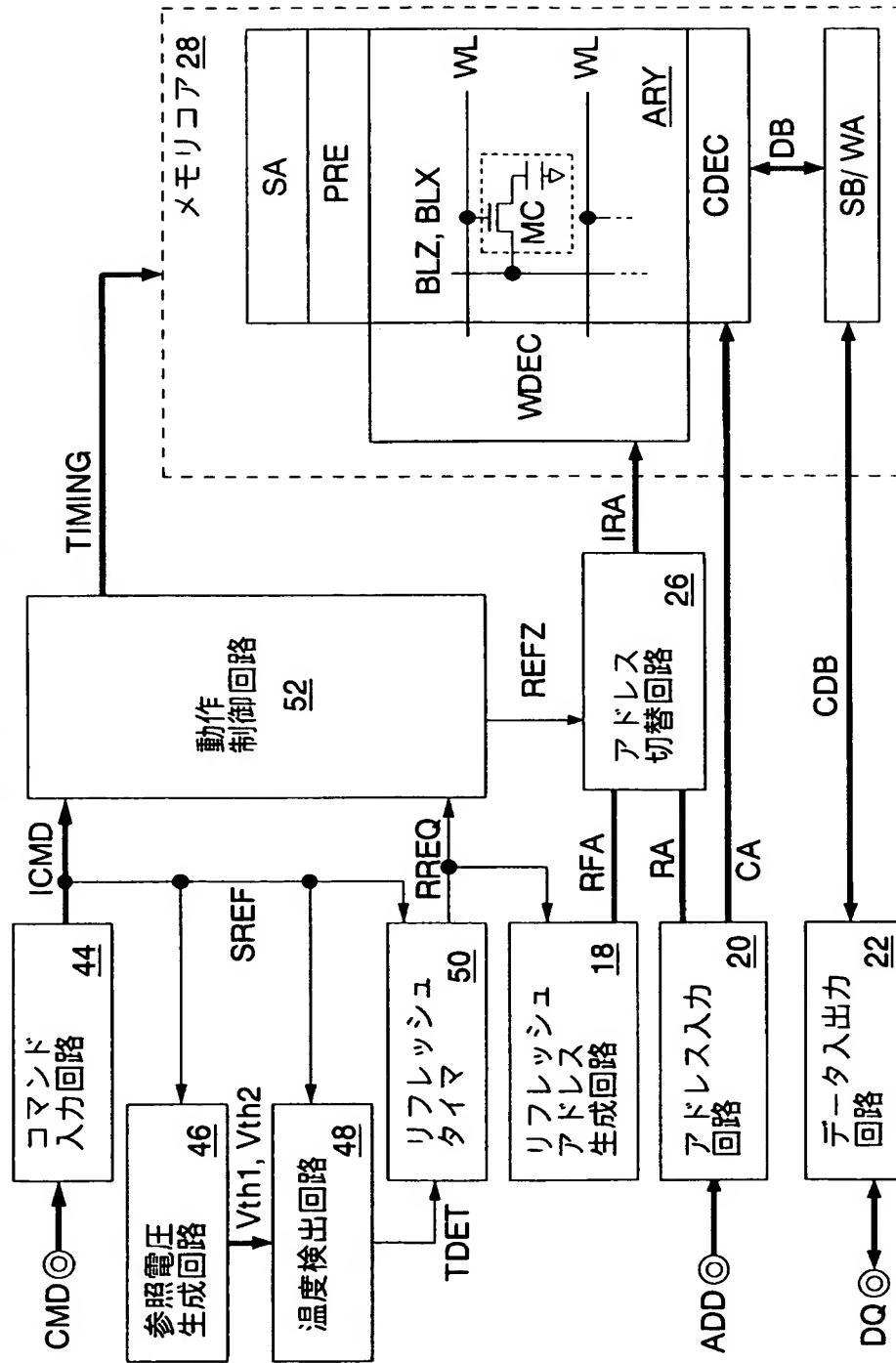
【図 11】

第4の実施形態におけるチップ温度の変化に伴う温度検出回路およびリフレッシュタイマの動作を示す波形図



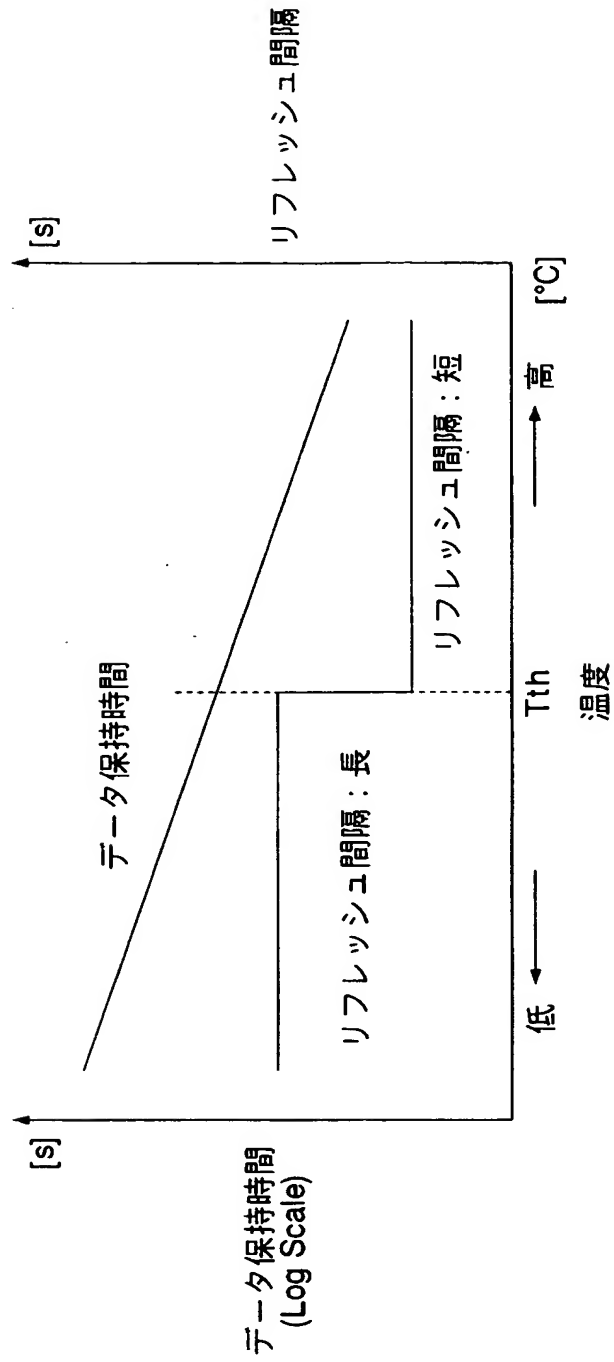
【図 12】

本発明の半導体集積回路の第 5 の実施形態を示すブロック図



【図 13】

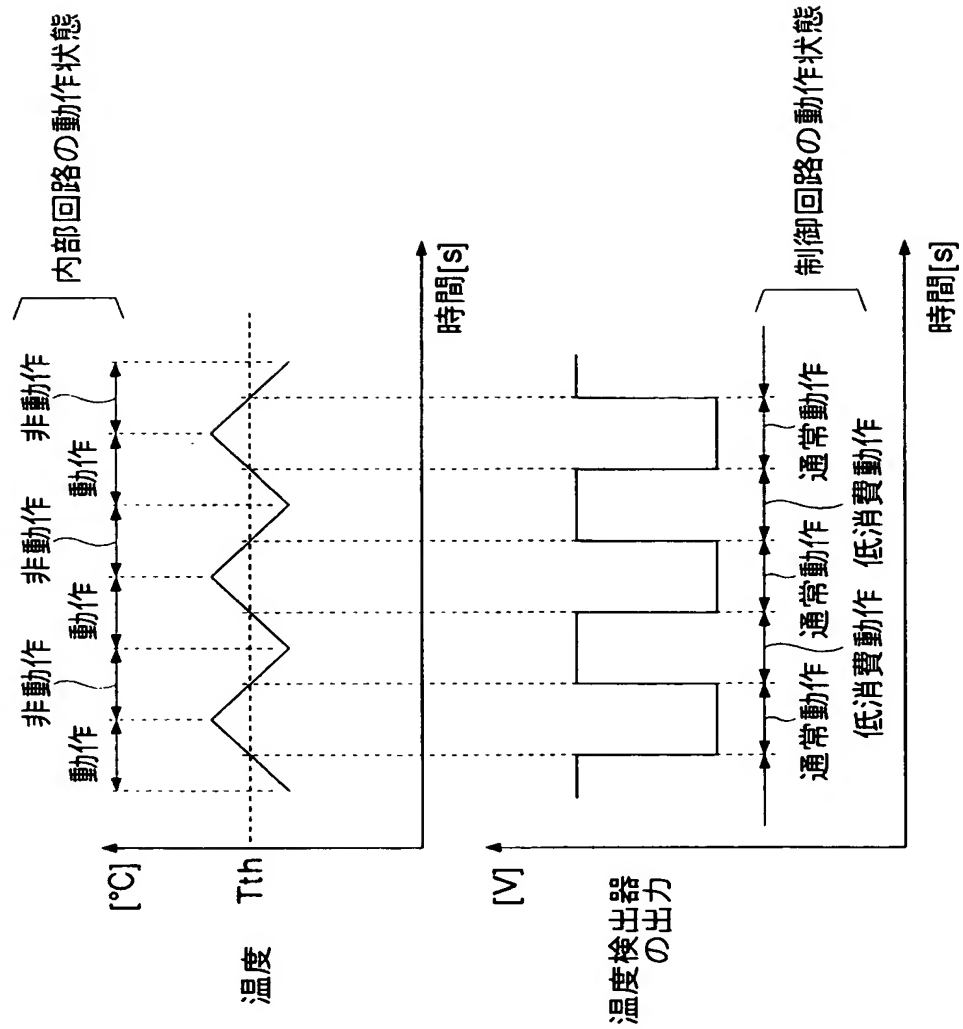
ダイナミックメモリのデータ保持時間の温度依存性を示す特性図





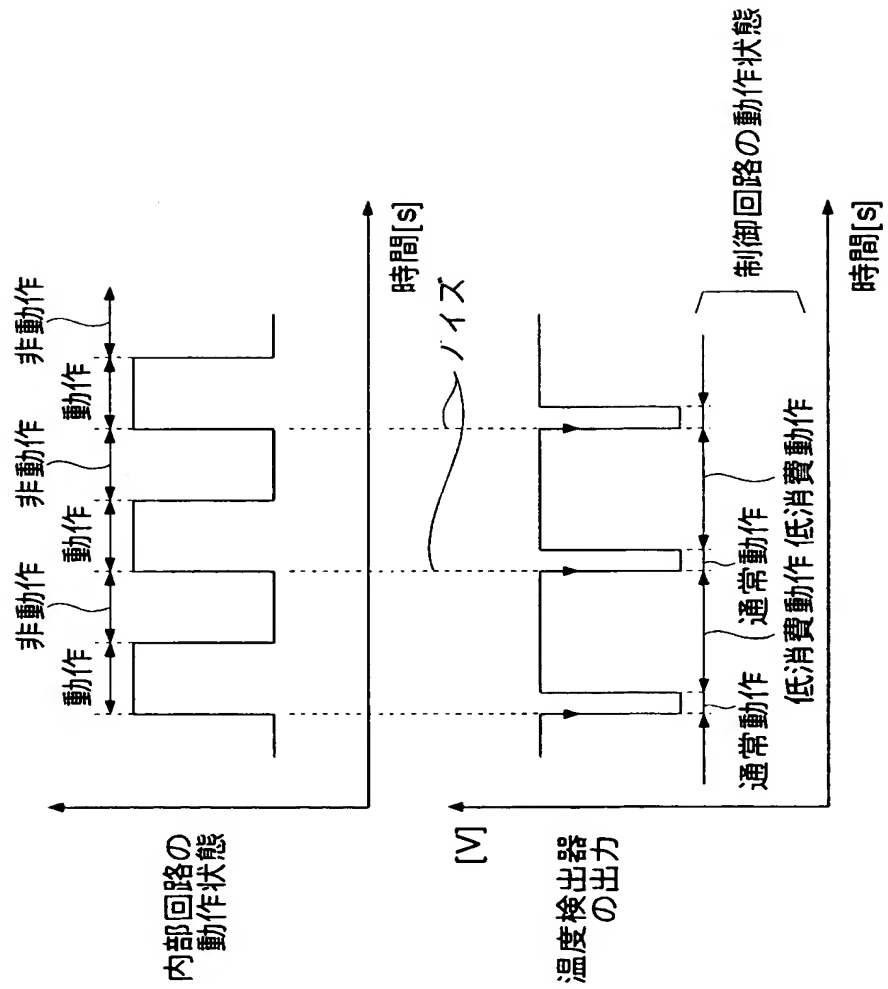
【図 14】

従来の温度検出器を有する半導体集積回路の不具合の一例を示す説明図



【図 15】

従来の温度検出器を有する半導体集積回路の不具合の別の例を示す説明図



【書類名】 要約書

【要約】

【課題】 温度検出器回路を有する半導体集積回路の消費電流を減らす。

【解決手段】

【課題を解決するための手段】

温度検出回路は、チップ温度が低温から高温への移行により第1境界温度より高くなったことを検出したときに温度検出信号を高温状態を示すレベルに設定する。また、温度検出回路は、チップ温度が高温から低温への移行により第1境界温度と異なる第2境界温度より低くなったことを検出したときに温度検出信号を低温状態を示すレベルに設定する。制御回路は、温度検出信号のレベルに応じて自身の動作状態を切り替える。

【選択図】 図 1

特願 2 0 0 3 - 3 7 5 2 7 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社